

**Derwent Data
Available on Delphion**

[ABOUT DELPHION](#) | [PRODUCTS](#) | [NEWS & EVENTS](#) | [MY ACCOUNT](#) | [IP S](#)
[Browse Codes](#) | [IP Listings](#) | [Prior Art](#) | [Derwent](#) | [Advanced](#) | [Boolean](#)

[Log In](#) | [Order Form](#) | [Work Files](#) | [View Cart](#)

The Delphion Integrated View

Other Views: [INPADOC](#) | [Derwent...](#)

Title: **JP8078640A2: SEMICONDUCTOR STORAGE DEVICE AND ITS MANUFACTURE**

► Want to see a more descriptive title highlighting what's new about this invention?

Country: **JP** Japan
Kind: **A**

Inventor(s): **IWASA SHOICHI**

Applicant/Assignee: **NIPPON STEEL CORP**



News, Profiles, Stocks and More about this company

Issued/Filed Dates: **March 22, 1996 / Aug. 31, 1994**

Application Number: **JP1994000230359**

IPC Class: **H01L 27/108; H01L 21/8242;**

► Interested in classification by use rather than just by description?

Priority Number(s): Aug. 31, 1994 **JP1994000230359**

Abstract: **Purpose:** To provide a DRAM which has a COB(Capacitor Over Bitline) structure without increasing the number of processes.

Constitution: A pad polycrystalline silicon film 18 for diffusing impurity on a substrate 12 is provided on a field shield element isolating structure 1 between bit lines 8, and provide a storage contact 5. Thus, film thickness increase or three-dimensional structure of a storage electrode 6 is allowed without influencing the bit lines 8 or a bit contact 7.

COPYRIGHT: (C)1996,JPO


► See a clear and precise summary of the whole patent, in understandable terms.



Family: [Show known family members](#)

Other Abstract Info: CHEMABS 124(26)358459G CAN124(26)358459G DERABS G96-214787 DERG96-214787

Foreign References: No patents reference this one



[Log In](#)
[Order Form](#)
[Work Files](#)
[View Cart](#)

ABOUT DELPHION

PRODUCTS

NEWS & EVENTS

MY ACCOUNT

IP S

Browse Codes

IP Listings

Prior Art

Derwent

Advanced

Boolean

Derwent's more descriptive title and attention to the new and unique mean
you can see more at a glance – and complete your research in record time
Derwent Records like this one are available FREE for a limited time.

Dynamic random access memory - has lower electrode formed at u
of bit line shared by two memory cells and which comes in contact
polycrystal pads which extend towards storage contacts

Assignee: **NIPPON STEEL CORP** Standard company (YAWA...)
 SHIN NIPPON SEITETSU KK Standard company (YAWA...)
 Inventor(s): **IWASA S;**
 Accession / Update: **1996-214787 / 200027**
 IPC Class: **H01L 21/8234 ; H01L 27/10 ; H01L 27/108 ; H01L 21/20 ; H01L 21/22 ; H01L 21/38 ; H01L 21/8242 ;**
 Derwent Classes: **U12; U13; U14;**
 Manual Codes: **U12-C02A1**(For memories e.g. dynamic RAM) , **U12-Q**(Device intended to be used as part of integrated circuit) , **U13-C04B1A** (Dynamic RAM) , **U14-A03B4**(Memories with capacitor store)



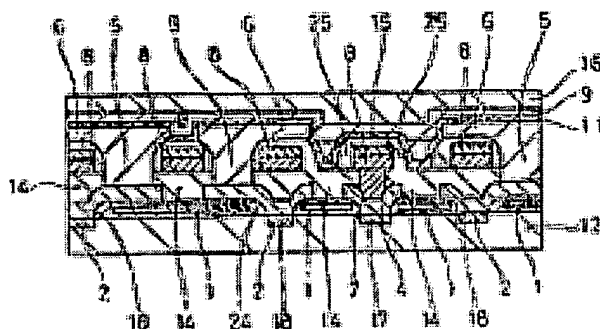
Derwent Abstract (JP8078640A) The memory device includes several transistors and capacitors. Two memory cells share a single bit-line (8) and a single diffusion layer for each transistor layer. N-type drain and source diffusion layers (17,2) are formed on a p-type silicon substrate (12). A polycrystal pad (4,18) which extends towards the storage contact (5) of the device is formed on top of each diffusion layer. An AC side wall (24) is located beneath the pad extensions. The pads come in contact with lower electrode formed at the upper layer of the bit-line. A field shielding element (1) is embedded in every AC side wall.

DERWENT RECORD

Advantage - Does not generate poor resolution for bit-line since level difference does not arise even when cell capacitance is increased because aspect ratio of bit contact is not affected. Solidifies storage electrode.

Abstract info: **JP8078640A**: Dwg.3/11 , **US5686746**: Dwg.2/14 , **US6051466**:

Images:



Family:

Patent	Issued	DW Update	Pages	Language	IPC Class
JP8078640A *	March 22, 1996	199622	10	English	H01L 27/108
Local appls.: JP1994000230359 ApplDate:1994-08-31 (94JP-0230359)					
US6051466 =	April 18, 2000	200026	26	English	H01L 21/8234
Local appls.: Div ex US05686746 (US 5686746)					
US1997000892199 ApplDate:1997-07-14 (97US-0892199)					
Div ex US1995000521445 ApplDate:1995-08-30 (95US-0521445)					
KR0157189B1 =	Oct. 15, 1998	200027		English	H01L 27/10
Local appls.: KR1995000027757 ApplDate:1995-08-30 (95KR-0027757)					
US5686746 =	Nov. 11, 1997	199751	26	English	H01L 27/108
Local appls.: US1995000521445 ApplDate:1995-08-30 (95US-0521445)					
TW0278240A =	June 11, 1996	199639		XX_XX	H01L 27/108
Local appls.: TW1995000109017 ApplDate:1995-08-29 (95TW-0109017)					

Priority Number(s):

Application Number	Application Date	Original Title
JP1994000230360	Aug. 31, 1994	SEMICONDUCTOR STORAGE DEVICE AN MANUFACTURE
JP1994000230359	Aug. 31, 1994	SEMICONDUCTOR STORAGE DEVICE AN MANUFACTURE

Related Accessions:

Accession Number	Type	Derwent Update	Derwent Title
1996-214788...	R	199622	Semiconductor memory e.g. dynamic random acc memory - has lower electrode of capacitor of each memory cell formed by upper layer of bit line
1 item found			

Title Terms:

DYNAMIC RANDOM ACCESS MEMORY LOWER ELECTRODE FORMING UPPER BIT LINE SHARE TWO MEMORY CELL CONTACT POLYCRYSTALLINE PAD EXTI STORAGE CONTACT



Pricing



Current charges

Data copyright Derwent 2002

Japanese Patent Laid-open Publication No. HEI 8-78640 A

Publication date : March 22, 1996

Applicant : NIPPON STEEL CORP.

Title : SEMICONDUCTOR MEMORY DEVICE AND THE MANUFACTURING METHOD

5 THEREOF

(57) [ABSTRACT]

[OBJECT]

The present invention intends to provide a DRAM having
10 a COB (Capacitor Over Bit-line) structure without increasing
the number of manufacturing steps.

[CONSTITUTION]

A pad polycrystalline silicon film 18 for diffusing
impurities in a substrate 12 is provided on a field shield element
15 isolating structure 1 between bit lines 8. The device is further
provided with a storage contact 5.

[Effect]

The storage electrode 6 can be increased in thickness or
formed in a three-dimensional structure without affecting the
20 bit lines 8 or a bit contact 7.

[0029]

As shown in Fig. 2, a field shield element isolating
structure 1 is formed on a P-type silicon substrate 12. In the
25 element region isolated by the field shield element isolating

structure 1, there are provided with a wiring of the gate electrodes of the memory cells which constitutes a word line 3, and a gate electrode 10 of a peripheral transistor such that they are formed above the field shield element isolating structure 1 so as to be intervened by a gate oxide film 13. In each of the memory cell regions, a N-type drain diffusion layer 2 and a source diffusion layer 17 are formed in the same level so as to hold the word line 3 therebetween, by which an access transistor of the memory cell is constituted. In the region of the peripheral transistor, N-type source and drain diffusion layers 20 are formed in the same level to hold the gate electrode 10 therebetween.

[0034]

As shown in Figs. 3 and 4, a pad polycrystalline silicon layer 18 is formed on each of the drain diffusion layers 2 so as to extend from each of the drain diffusion layers 2 to the above portion of the field shield element isolating structure 1 adjacent to the corresponding one of the drain diffusion layer 2. The storage contact 5 is formed immediately above the field shield element isolating structure 1. With the above-mentioned constitution, the storage contact 5 is arranged in spaces between each of the word lines 3 and the bit lines 8, as shown in Figs. 1 and 4. A pair of the pad polycrystalline silicon films 18 provided for each of the memory cells extend in directions

opposite each other in a direction along the word lines 3, as shown in Figs. 4 and 5. By arranging the elements in this manner, the memory cells can be arranged in a diagonal direction with respect to the directions of the word lines 3 and the bit lines 5 8, as shown in Fig. 5.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-78640

(43) 公開日 平成8年(1996)3月22日

(51) Int.Cl.⁶H 0 1 L 27/108
21/8242

識別記号

庁内整理番号

F I

技術表示箇所

7735-4M

7735-4M

H 0 1 L 27/ 10

6 2 1 B

6 8 1 B

審査請求 未請求 請求項の数5 F D (全 10 頁)

(21) 出願番号

特願平6-230359

(22) 出願日

平成6年(1994)8月31日

(71) 出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72) 発明者 岩佐 昇一

東京都千代田区大手町2-6-3 新日本
製鐵株式会社内

(74) 代理人 弁理士 國分 孝悦

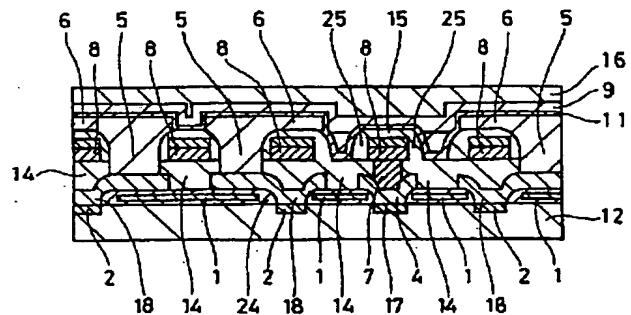
(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【目的】 製造工程数を増やすことなく、COB (Capacitor Over Bit-line) 構造のDRAMを提供する。

【構成】 基板12に不純物を拡散させるためのパッド多結晶シリコン膜18をビット線8間のフィールドシールド素子分離構造1の上に延ばし、その上でストレージコンタクト5をとる。

【効果】 ビット線8やビットコンタクト7に影響を与えることなく、ストレージ電極6の厚膜化若しくは立体化を図ることができる。



【特許請求の範囲】

【請求項1】 トランジスタとキャパシタとからなるメモリセルを有する半導体記憶装置において、ビット線方向に隣接する2つのメモリセルが夫々のトランジスタの一方の不純物拡散層を共有してメモリセル対を構成しており、各メモリセル対がフィールドシールド素子分離構造によって他のメモリセル対から素子分離されており、各メモリセル対が、前記一方の不純物拡散層の直上位置で第1のパッド多結晶シリコン膜を介してビット線にコンタクトしており、

各メモリセル対のトランジスタの他方の不純物拡散層の上に夫々形成された第2のパッド多結晶シリコン膜が、ワード線方向に隣接する前記フィールドシールド素子分離構造の上にまで延びて形成され、これらの第2のパッド多結晶シリコン膜が前記フィールドシールド素子分離構造の直上位置で夫々のメモリセルのキャパシタの下部電極にコンタクトしており、前記下部電極が前記ビット線よりも上層に形成されていることを特徴とする半導体記憶装置。

【請求項2】 各メモリセル対において、一对の前記第2のパッド多結晶シリコン膜が、各々が接続する前記不純物拡散層から、ワード線に沿った方向において、互いに反対方向に延びて形成されていることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 ビットコンタクトを構成する前記第1のパッド多結晶シリコン膜が、ワード線に沿った方向において、2個の前記第2のパッド多結晶シリコン膜を間に置いて配列されており、前記第1のパッド多結晶シリコン膜により構成されるビットコンタクトが、ビット線に沿った方向において、4本のワード線を間に置いて配列されていることを特徴とする請求項2に記載の半導体記憶装置。

【請求項4】 半導体基板上に所定パターンのフィールドシールド素子分離構造を形成する工程と、前記フィールドシールド素子分離構造によって分離された素子領域の前記半導体基板上に、ゲート絶縁膜を介して、ワード線であるゲート電極配線を形成する工程と、前記ゲート電極配線をキャップ絶縁膜及びサイドウォール絶縁膜で覆うとともに、前記サイドウォール絶縁膜と前記フィールドシールド素子分離構造との間の部分の前記半導体基板を露出させる工程と、全面に多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜に、前記半導体基板とは反対導電型の不純物を導入する工程と、前記多結晶シリコン膜をパターンニングして、前記多結晶シリコン膜と前記半導体基板との接触部分を含む第1のパッド多結晶シリコン膜と、前記多結晶シリコン膜と前記半導体基板との接触部分を含み且つその接触部分から前記フィールドシールド素子分離構造の上に比較的大き

く張り出して延びる第2のパッド多結晶シリコン膜とを形成する工程と、

全面に層間絶縁膜を形成する工程と、前記第1及び第2の多結晶シリコン膜の部分から前記半導体基板内に前記不純物を拡散させる工程と、前記第1の多結晶シリコン膜の上の部分の前記層間絶縁膜に第1の開孔を形成する工程と、前記第1の開孔を通じて前記第1の多結晶シリコン膜に接続するビット配線を前記第1の絶縁膜上にパターン形成する工程と、

前記ビット配線をキャップ絶縁膜及びサイドウォール絶縁膜で覆う工程と、

前記フィールドシールド素子分離構造の直上位置で且つ前記第2の多結晶シリコン膜の上の部分の前記層間絶縁膜に第2の開孔を形成する工程と、

前記第2の開孔を通じて前記第2の多結晶シリコン膜に接続するキャパシタ下部電極をパターン形成する工程と、

前記キャパシタ下部電極の上に容量絶縁膜を形成する工程と、

前記容量絶縁膜を介して前記キャパシタ下部電極に対向するキャパシタ上部電極を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項5】 前記第2の開孔を形成する際、前記ビット配線の前記サイドウォール絶縁膜をエッチングマスクの少なくとも一部として用いることを特徴とする請求項4に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体記憶装置及びその製造方法に関し、例えば、ビット線よりも上方にストレージ電極を形成するようにしたCOB (Capacitor Over Bit-line)構造のDRAM等に適用して特に好適なものである。

【0002】

【従来の技術】 スタック型セル構造を有する従来のDRAMでは、ビットライン間のノイズを相殺できる折り返しビットライン方式に合致した図9に示すようなセルレイアウトが広く用いられている。

【0003】 この従来のDRAMにつき、図9～図11を参照して説明する。なお、本例において、素子分離は、フィールドシールド素子分離方式により行われている。

【0004】 図9は、DRAMのセルレイアウトを示す概略平面図であり、図10は図9のX-X線に沿った断面図、図11は図9のXI-XI線に沿った断面図である。

【0005】 図9～図11に示すように、P型シリコン基板112上にフィールドシールド素子分離構造101が形成され、このフィールドシールド素子分離構造101により分離された素子領域に、ワード線を構成するメ

メモリセルのゲート電極配線103及び周辺トランジスタのゲート電極110が夫々ゲート酸化膜113を介して形成されている。そして、ゲート電極配線103を間に挟むようにドレイン拡散層102及びソース拡散層119が夫々形成され、ドレイン拡散層102及びソース拡散層119の表面上には、夫々の拡散層の不純物の拡散源として用いられたパッド多結晶シリコン膜104が形成されている。

【0006】図10及び図11に示すように、各メモリセルのドレイン拡散層102は、パッド多結晶シリコン膜104及びストレージコンタクト105を介して、ストレージ電極106と接続され、ストレージ電極106上には、容量絶縁膜111及びセルプレート電極109が夫々形成されている。

【0007】一方、図10に示すように、ソース拡散層119は、2つのゲート電極配線103、即ち、2つのメモリセルで共有されており、パッド多結晶シリコン膜104及びビットコンタクト107を介して、セルプレート電極109よりも上方に形成されたビット線108に接続されている。

【0008】図9に示すように、ビットコンタクト107は、ワード線103に沿った方向では、ビット線108を1本置きにして配列され、ビット線108に沿った方向では、ワード線103を4本置きにして配列されている。

【0009】このビットコンタクト107の配列に従い、ストレージコンタクト105は、図9及び図11に示すように、ワード線103に沿った方向に整列するように配置される。一方、ビット線108に沿った方向では、図9及び図10に示すように、ビットコンタクト107、ストレージコンタクト105、フィールドシールド素子分離構造101及び隣接ストレージコンタクト105がこの順序で配列される。

【0010】この構成では、ストレージコンタクト105の直上に形成されるストレージ電極106を平面的に拡大して、セル容量を高めるためのスペースは、もはや実質的に存在しない。

【0011】そこで、最近では、セルサイズの縮小化に応じて、十分なセル容量を確保するために、ストレージ電極106の高さを大きくすることが行われている。この結果、図10に示すように、ビットコンタクト107のアスペクト比が大きくなり、通常のスパッタ法によってアルミニウムなどの配線を形成することが困難になってきている。そこで、アルミ配線の代わりに、熱処理などに対してプロセス的に安定なポリサイド構造がビット線108に用いられるようになってきた。

【0012】特に、フィールドシールド素子分離方式を用いた場合には、通常のLOCOS法の場合に比べて、素子分離領域の高さが倍以上になるため、ビット線108へのポリサイド構造の適用は必須となっている。

【0013】

【発明が解決しようとする課題】上述した従来のセルレイアウトでは、セルサイズの縮小化に応じて、十分なセル容量を確保するためには、ストレージ電極106の高さを大きくするしか方法がなかった。この結果、ビットコンタクト107のアスペクト比が大きくなり、接続の信頼性を保つために、ポリサイド配線や多結晶シリコン又はタングステンによる埋め込みプラグ技術が用いられてきた。

【0014】しかしながら、一般に、ポリサイド配線に用いられる多結晶シリコン層にはN型の不純物がドーピングできないため、ポリサイド配線は、ビットコンタクト107や周辺のN型導電層にのみ接続された配線にしか適用できない。

【0015】また、埋め込みプラグについても、多結晶シリコンを用いる場合は、ビットコンタクト107や周辺のN型導電層に対してしか使用されない。

【0016】一方、両導電型導電層に接続可能なタングステンをを用いた埋め込みプラグの場合には、バリアメタルであり且つタングステンのCVD形成時の密着性を高めるためのチタンナイトライドがスパッタ法により形成されるため、アスペクト比の高いコンタクトに対しては接続の信頼性が低いという問題がある。

【0017】また、現状のプロセスにおいては、せめて周辺部コンタクト120のアスペクト比を小さくするために、BPSGリフローを用いて、セルアレイ部と周辺部との境界部分に段差を設け、周辺部の層間絶縁膜115を極力薄くしている。

【0018】しかしながら、近年のセルサイズの縮小化の激化により、ストレージ電極106の高さが著しくなり、セルアレイ部と周辺部との境界部分での段差はますます悪化する傾向にある。一方、セルピッチ毎に配されるビット線108は、フォトリソグラフィ上、微細な寸法を解像する程、焦点深度にマージンがなくなってくる。この結果、セルアレイ部から周辺部へ引き出されるビット線108が、それらの間の段差部において解像不良を起こしやすくなるという問題が顕在化しつつある。

【0019】そこで、本発明の目的は、セルアレイ部と周辺部との間の段差がビット線に対して問題とならず、しかも従来よりもメモリセル容量を高めることが可能なセルレイアウトを有する半導体記憶装置及びその製造方法を提供することである。

【0020】

【課題を解決するための手段】上述した課題を解決するために、本発明では、トランジスタとキャパシタとからなるメモリセルを有する半導体記憶装置において、ビット線方向に隣接する2つのメモリセルが夫々のトランジスタの一方の不純物拡散層を共有してメモリセル対を構成しており、各メモリセル対がフィールドシールド素子分離構造によって他のメモリセル対から素子分離されて

おり、各メモリセル対が、前記一方の不純物拡散層の直上位置で第1のパッド多結晶シリコン膜を介してビット線にコンタクトしており、各メモリセル対のトランジスタの他方の不純物拡散層の上に夫々形成された第2のパッド多結晶シリコン膜が、ワード線方向に隣接する前記フィールドシールド素子分離構造の上にまで延びて形成され、これらの第2のパッド多結晶シリコン膜が前記フィールドシールド素子分離構造の直上位置で夫々のメモリセルのキャパシタの下部電極にコンタクトしており、前記下部電極が前記ビット線よりも上層に形成されている。

【0021】本発明の一態様では、各メモリセル対において、一対の前記第2のパッド多結晶シリコン膜が、各々が接続する前記不純物拡散層から、ワード線に沿った方向において、互いに反対方向に延びて形成されている。

【0022】本発明の一態様では、ビットコンタクトを構成する前記第1のパッド多結晶シリコン膜が、ワード線に沿った方向において、2個の前記第2のパッド多結晶シリコン膜を間に置いて配列されており、前記第1のパッド多結晶シリコン膜により構成されるビットコンタクトが、ビット線に沿った方向において、4本のワード線を間に置いて配列されている。

【0023】本発明の半導体記憶装置の製造方法は、半導体基板上に所定パターンのフィールドシールド素子分離構造を形成する工程と、前記フィールドシールド素子分離構造によって分離された素子領域の前記半導体基板上に、ゲート絶縁膜を介して、ワード線であるゲート電極配線を形成する工程と、前記ゲート電極配線をキャップ絶縁膜及びサイドウォール絶縁膜で覆うとともに、前記サイドウォール絶縁膜と前記フィールドシールド素子分離構造との間の部分の前記半導体基板を露出させる工程と、全面に多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜に、前記半導体基板とは反対導電型の不純物を導入する工程と、前記多結晶シリコン膜をパターンニングして、前記多結晶シリコン膜と前記半導体基板との接触部分を含む第1のパッド多結晶シリコン膜と、前記多結晶シリコン膜と前記半導体基板との接触部分を含み且つその接触部分から前記フィールドシールド素子分離構造の上に比較的大きく張り出して延びる第2のパッド多結晶シリコン膜とを形成する工程と、全面に層間絶縁膜を形成する工程と、前記第1及び第2の多結晶シリコン膜の部分から前記半導体基板内に前記不純物を拡散させる工程と、前記第1の多結晶シリコン膜の上の部分の前記層間絶縁膜に第1の開孔を形成する工程と、前記第1の開孔を通じて前記第1の多結晶シリコン膜に接続するビット配線を前記第1の絶縁膜上にパターン形成する工程と、前記ビット配線をキャップ絶縁膜及びサイドウォール絶縁膜で覆う工程と、前記フィールドシールド素子分離構造の直上位置で且つ前記第2の多結晶シリ

コン膜の上の部分の前記層間絶縁膜に第2の開孔を形成する工程と、前記第2の開孔を通じて前記第2の多結晶シリコン膜に接続するキャパシタ下部電極をパターン形成する工程と、前記キャパシタ下部電極の上に容量絶縁膜を形成する工程と、前記容量絶縁膜を介して前記キャパシタ下部電極に対向するキャパシタ上部電極を形成する工程とを有する。

【0024】本発明の一態様では、前記第2の開孔を形成する際、前記ビット配線の前記サイドウォール絶縁膜をエッチングマスクの少なくとも一部として用いる。

【0025】

【作用】本発明においては、ビット線間のフィールドシールド素子分離構造の上でストレージコンタクトをとるよう構成することにより、キャパシタ下部電極であるストレージ電極よりも下にビット線を形成している。従って、ビット線に対しては、セルアレイ部と周辺部との間の段差が生じず、ビット線の解像不良等の問題が生じない。また、ビット線がストレージ電極よりも下に形成されるので、ビットコンタクトに邪魔されずに従来よりもストレージ電極の平面積拡大が可能となる。更に、ビット線の段差の問題に煩わされることなく、ストレージ電極高さを高くして、セル容量を増やすことが可能となり、更に、キャパシタ構造としてフィン型等の立体構造を採ることも可能となる。

【0026】また、本発明の製造方法においては、フィールドシールド素子分離構造の上でストレージコンタクトをとるために、不純物の拡散源として用いるパッド多結晶シリコン膜を利用している。

【0027】

【実施例】以下、本発明を実施例につき図1～図8を参照して説明する。

【0028】図1は、本発明の一実施例によるDRAMのレイアウトを示す概略平面図であり、図2は図1のII-II線に沿った概略断面図、図3は図1のIII-III線に沿った概略断面図、図4は図1に対応してパッドシリコン膜のレイアウトを示す概略平面図、図5は図1に対応してメモリセルのレイアウトを示す概略平面図である。

【0029】図2に示すように、P型シリコン基板12上にフィールドシールド素子分離構造1が形成され、このフィールドシールド素子分離構造1により分離された素子領域に、ワード線3を構成するメモリセルのゲート電極配線及び周辺トランジスタのゲート電極10が夫々ゲート酸化膜13を介して形成されている。そして、各メモリセルの領域においてワード線3を間に挟むようにN型のドレイン拡散層2及びソース拡散層17が夫々形成され、メモリセルのアクセストランジスタを構成している。また、周辺トランジスタの領域では、ゲート電極10を間に挟むように周辺トランジスタのN型のソース/ドレイン拡散層20が夫々形成されている。

【0030】図2～図4に示すように、各メモリセルのドレイン拡散層2及びソース拡散層17並びに周辺トランジスタのソース／ドレイン拡散層20の表面上には、夫々パッド多結晶シリコン膜18、4、19が形成されている。これらの多結晶シリコン膜18、4、19は、各拡散層2、17、20の不純物の拡散源として用いられたものであり、フィールドシールド素子分離構造1のACサイドウォール24とワード線3のサイドウォール27とで規定された開口を通してP型シリコン基板12に直接接触している。

【0031】図2に示すように、各ソース拡散層17は、ビット線8に沿った方向に配列された2つのアクセストランジスタのゲート電極によって共有されており、パッド多結晶シリコン膜4及びビットコンタクト7を介して、ビット線8に接続されている。即ち、各ソース拡散層17は、ビット線8に沿った方向に配列された2つのメモリセルで共有され、それらのメモリセルで、ビットコンタクト7を共有するメモリセル対が構成されている(図5参照)。

【0032】図1及び図2に示すように、ビット線8は、セルアレイ領域外へ引き出され、コラムデコーダなどを構成する周辺トランジスタのソース／ドレイン拡散層20にパッド多結晶シリコン膜19を介して接続されている。この時、図2に示すように、ビット線8が各メモリセルのストレージ電極6よりも下層に形成されているので、セルアレイ部のビットコンタクト7を周辺部のビットコンタクト7と同じに浅く形成できるとともに、セルアレイ部と周辺部とでビット線8に段差が存在しないので、ビット線8を形成する時に、ビット線8の解像不良が発生することを防止できる。

【0033】図2及び図3に示すように、各メモリセルのドレイン拡散層2は、パッド多結晶シリコン膜18及びストレージコンタクト5を介して、ビット線8よりも上に形成されたストレージ電極6と接続され、ストレージ電極6上には、シリコン酸化膜／シリコン窒化膜／シリコン酸化膜の3層構造からなるONO容量絶縁膜11を介して多結晶シリコン膜からなるセルプレート電極9が形成されている。

【0034】図3及び図4に示すように、各ドレイン拡散層2上に形成されたパッド多結晶シリコン膜18は、各ドレイン拡散層2上から、ワード線方向に隣接するフィールドシールド素子分離構造1の上まで延びて形成され、ストレージコンタクト5は、フィールドシールド素子分離構造1の直上位置に形成されている。これにより、図1及び図4に示すように、ストレージコンタクト5は、ワード線3及びビット線8の夫々の間に形成された隙間領域に配置される。また、この時、図4及び図5に示すように、各メモリセル対の一对のパッド多結晶シリコン膜18は、ワード線3に沿った方向において、互いに反対方向に延びて形成されている。これにより、図

5に示すように、メモリセル対を、ワード線3及びビット線8の方向に対し斜めの方向に密に配列することができる。

【0035】図4及び図5に示すように、パッド多結晶シリコン膜4は、ワード線3に沿った方向において、2個のパッド多結晶シリコン膜18を間に置いて配列されており、ビット線8に沿った方向において、4本のワード線3を間に置いて配列されている。そして、この結果、図1及び図4に示すように、セルアレイ部におけるビットコンタクト7は、ビット線8に沿った方向では、4本のワード線を間に挟み、ワード線3に沿った方向では、3本のビット線8を間に挟むようにして配置される。

【0036】本実施例の構成では、各メモリセルのストレージ電極6をビット線8よりも上の層に形成することができ、いわゆるCOB構造とすることができるので、ビット線8やビットコンタクト7に邪魔されることなく、ストレージ電極6の平面積を拡大することができる。このことは、逆に言うと、メモリセル容量を減少させることなく、ビット線8の間隔を狭めることが可能だということであり、これにより、メモリセルアレイの微小化及び高集積化が達成される。

【0037】また、本実施例の構成によれば、セルアレイ部においてビットコンタクト7のアスペクト比が大きくなったり、セルアレイ部と周辺部との境界部分でビット線8の段差が大きくなったりするという問題を招くことなく、ストレージ電極6の立体化を図ることができる。即ち、ストレージ電極6を厚膜、円筒、フィン、凹凸等の立体構造として、キャパシタの実効面積を増大させることができる。

【0038】更に、各ビット線8をセルプレート電極9が覆うような構造となるため、ビット線間の干渉ノイズを排除できるという利点も有する。

【0039】次に、図1～図5で説明した構造の製造方法を図2及び図6～図8を参照して説明する。なお、図6～図8は、夫々、図3に対応した概略断面図である。

【0040】まず、図6(a)に示すように、P型シリコン基板12上の全面に、熱酸化法により、厚さが40～60nmのパッド酸化膜21を形成する。次に、このパッド酸化膜21の上に、LPCVD法などにより、リンがドーブされた厚さ150～200nmの多結晶シリコン膜22及び厚さ250～300nmのキャップ酸化膜23を夫々形成する。次に、フォトリソグラフィ及び異方性ドライエッチング技術により、素子分離領域となる部分にのみ多結晶シリコン膜22及びキャップ酸化膜23を残して、素子領域と素子分離領域とを形成する。

【0041】次に、図6(b)に示すように、LPCVD法などにより、厚さが250～300nmのシリコン酸化膜を全面に堆積した後、異方性ドライエッチング技

術を用いてこれをエッチバックすることにより、多結晶シリコン膜22及びキャップ酸化膜23の側壁にACサイドウォール24を形成し、シリコン基板12上にフィールドシールド素子分離構造を形成する。

【0042】次に、図2に示すように、熱酸化法により、素子領域のシリコン基板12上にゲート酸化膜13を形成した後、CVD法などにより、多結晶シリコン膜と、シリコン酸化膜からなるキャップ絶縁膜とを全面に形成し、フォトリソグラフィー及び異方性ドライエッチング技術によりこれらをパターニングして、ワード線3及びそのキャップ絶縁膜を形成する。次に、このワード線3のパターン及びフィールドシールド素子分離構造をマスクとして、シリコン基板12内にヒ素等のN型不純物を低濃度にイオン注入し、LDD構造のN⁺不純物拡散層を形成する。次に、LPCVD法などにより、全面にシリコン酸化膜を堆積し、異方性ドライエッチング技術を用いてこれをエッチバックすることにより、ワード線3の側壁にサイドウォール27を形成する。この時、フィールドシールド素子分離構造のACサイドウォール24間及びACサイドウォール24とワード線3のサイドウォール27との間のゲート酸化膜13が除去され、その部分のシリコン基板12が露出する。

【0043】次に、図6(c)に示すように、CVD法などにより、ノンドーパの多結晶シリコン膜を全面に形成する。次に、イオン注入法などにより、リン等のN型不純物をこの多結晶シリコン膜に導入する。なお、多結晶シリコン膜の堆積時に同時にN型不純物を導入しても良い。この後、この多結晶シリコン膜を、図4に示すような形状にパターニングすることにより、パッド多結晶シリコン膜4、18を夫々形成する。

【0044】この時、パッド多結晶シリコン膜4、18は、図2及び図6(c)に示すように、フィールドシールド素子分離構造のACサイドウォール24間及びACサイドウォール24とワード線3のサイドウォール27との間に自己整合的に形成された開口を通じてシリコン基板12に直接接触した状態で形成される。また、図4及び図6(c)に示すように、パッド多結晶シリコン膜18は、フィールドシールド素子分離構造のキャップ酸化膜23の上にまで延びた形で形成される。

【0045】次に、図7(a)に示すように、常圧CVD法などにより、第1層間絶縁膜14としてのBPSG膜を全面に形成する。次に、850~900℃の熱処理を施すことによって、BPSG膜の表面を平坦化すると同時に、パッド多結晶シリコン膜4、18に含まれるN型不純物を、接触部分を通じてシリコン基板12内に拡散させ、LDD構造のN⁺不純物拡散層であると同時にコンタクトインブラでもある高濃度のN型不純物拡散層を形成する。本実施例では、LDD構造のN⁺不純物拡散層とN⁺不純物拡散層とでメモリセルのドレイン拡散層2及びソース拡散層17並びに周辺トランジスタのソ

ース/ドレイン拡散層20が夫々形成されている(図2参照)。なお、メモリセル及び周辺トランジスタのソース/ドレインをLDD構造としない場合には、シリコン基板12への低濃度のN型不純物のイオン注入を行わず、パッド多結晶シリコン膜4、18からの不純物の拡散のみによって、夫々のソース/ドレイン拡散層を形成することも可能である。その場合、チャネル長は、不純物の横方向拡散を制御することによって制御可能である。

【0046】次に、パッド多結晶シリコン膜4に対応する部分の第1層間絶縁膜14を、フォトリソグラフィー及び異方性ドライエッチング技術により開孔し、ビットコンタクト7を形成する。

【0047】次に、CVD法などにより、不純物がドーパされた多結晶シリコン膜を全面に形成した後、スパッタ法又はCVD法などにより、タングステンシリサイドを全面に形成し、次に、CVD法などにより、キャップシリコン窒化膜15を全面に形成する。しかる後、フォトリソグラフィー及び異方性ドライエッチング技術を用いてこれらをパターニングすることにより、ポリサイド構造のビット線8を形成する。

【0048】次に、図7(b)に示すように、CVD法などにより、シリコン窒化膜を全面に堆積し、これをエッチバックすることによって、ビット線8の側壁にサイドウォール25を形成する。

【0049】次に、図7(c)に示すように、ビットコンタクト7を含む領域のみをフォトレジスト26で被覆し、ウェット又はドライエッチングを行って、第1層間絶縁膜14を開孔し、ストレージコンタクト5を形成する。この時、シリコン窒化膜であるビット線8のサイドウォール25がエッチングマスクとして作用し、これに対してストレージコンタクト5が自己整合的に形成される。

【0050】次に、図8(a)に示すように、フォトレジスト27を除去した後、CVD法などにより、不純物がドーパされた多結晶シリコン膜を全面に堆積し、フォトリソグラフィー及び異方性ドライエッチング技術により、これをパターニングし、ストレージ電極6を形成する。

【0051】次に、図8(b)に示すように、ONO容量絶縁膜11及びセルプレート電極9をセルアレイ部全面に形成する。

【0052】しかる後、図2及び図3に示すように、第2層間絶縁膜16であるBPSG膜を全面に形成する。

【0053】以上に説明した本実施例の製造方法では、シリコン基板12への不純物の拡散源である一方のパッド多結晶シリコン膜18をフィールドシールド素子分離構造1の上にまで延ばし、これにより、ビット線間のフィールドシールド素子分離構造1の直上位置にストレージコンタクト5を形成して、ストレージ電極6をビット

線 8 よりも上層に形成している。

【0054】

【発明の効果】本発明によれば、各メモリセルのストレージ電極やセルプレート電極よりも下層にビット線を形成するので、ストレージ電極の高さを高くしたり、ストレージ電極を立体化したりして、セル容量を増やしても、セルアレイ部におけるビットコンタクトのアスペクト比が大きくなり、また、セルアレイ部と周辺部とでビット線に段差が生じないので、ビット線の解像不良が発生しない。

【0055】また、各メモリセルのストレージコンタクトをビット線間の位置に持ってくる手段として、基板への不純物の拡散源であるパッド多結晶シリコン膜を利用しており、それ以外には、特別の構成要素又は部材を必要としない。

【図面の簡単な説明】

【図1】本発明の一実施例によるDRAMのレイアウトを示す概略平面図である。

【図2】図1のII-II線概略断面図である。

【図3】図1のIII-III線概略断面図である。

【図4】パッド多結晶シリコン膜の部分における図1に対応した概略平面図である。

【図5】メモリセルのレイアウトを示す図1に対応した概略平面図である。

【図6】本発明の一実施例によるDRAMの製造方法を工程順に示す図3に対応した概略断面図である。

【図7】本発明の一実施例によるDRAMの製造方法を工程順に示す図3に対応した概略断面図である。

【図8】本発明の一実施例によるDRAMの製造方法を工程順に示す図3に対応した概略断面図である。

【図9】従来のDRAMのセルレイアウトを示す概略平面図である。

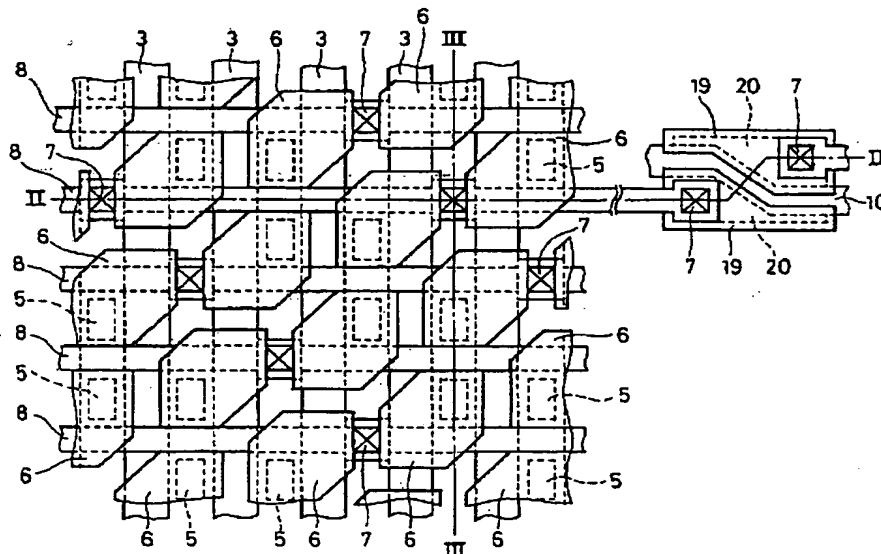
【図10】図9のX-X線概略断面図である。

【図11】図9のXI-XI線概略断面図である。

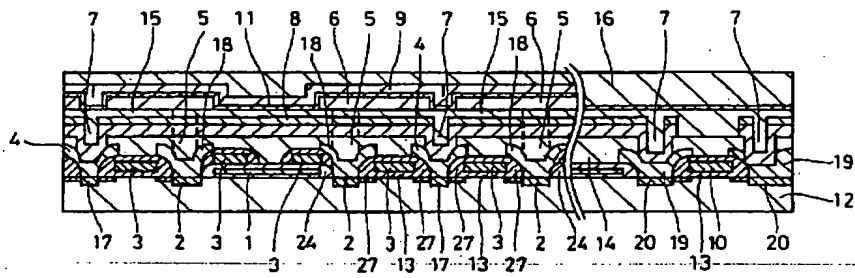
【符号の説明】

- 1 フィールドシールド素子分離構造
- 2 ドレイン拡散層 (N型拡散層)
- 3 ワード線 (ゲート電極配線)
- 4、18 パッド多結晶シリコン膜
- 5 ストレージコンタクト
- 6 ストレージ電極
- 7 ビットコンタクト
- 8 ビット線 (ポリサイド配線)
- 9 セルプレート電極
- 10 周辺トランジスタゲート電極
- 11 ONO容量絶縁膜
- 12 P型シリコン基板
- 13 ゲート酸化膜
- 14 第1層間絶縁膜 (BPSG)
- 15 キャップ窒化膜
- 16 第2層間絶縁膜 (BPSG)
- 17 ソース拡散層 (N型拡散層)
- 20 周辺トランジスタソース/ドレイン拡散層
- 21 パッド酸化膜
- 22 多結晶シリコン膜
- 23 キャップ酸化膜
- 24 ACサイドウォール
- 25 ビット線のサイドウォール (シリコン窒化膜)
- 27 ワード線のサイドウォール

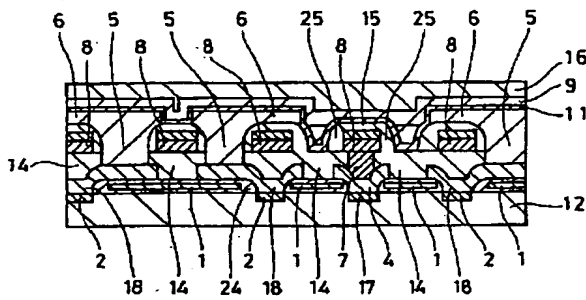
【図1】



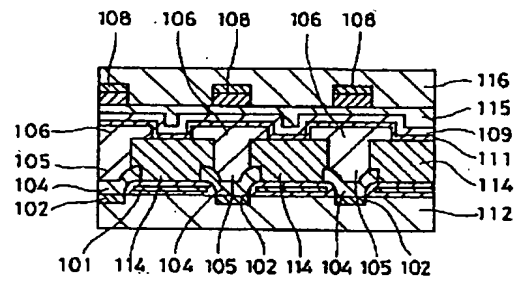
【図 2】



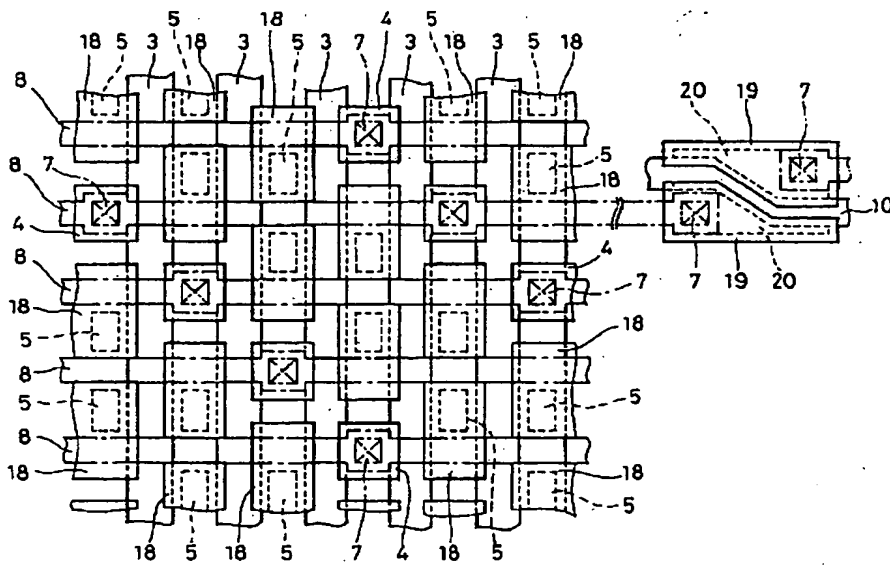
【図 3】



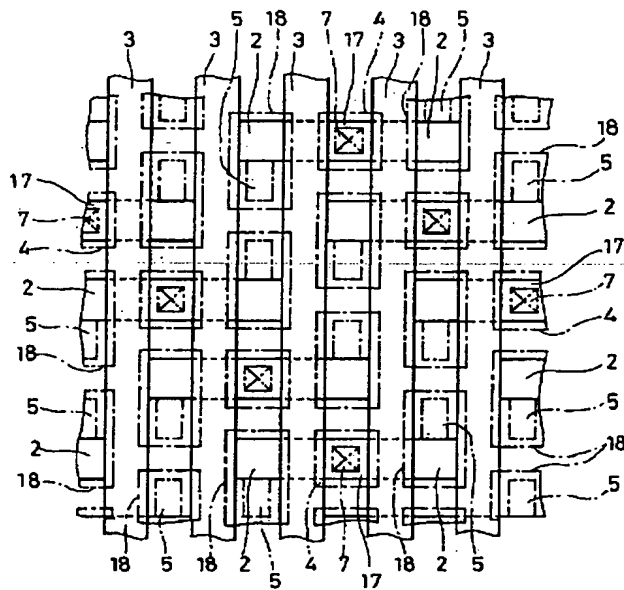
【図 11】



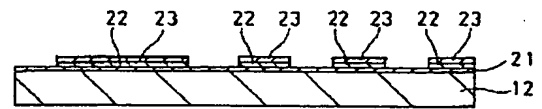
【図 4】



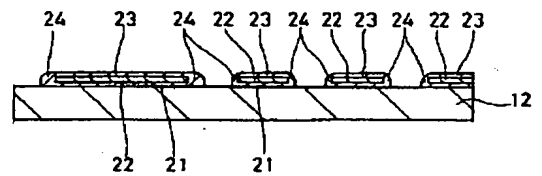
【図5】



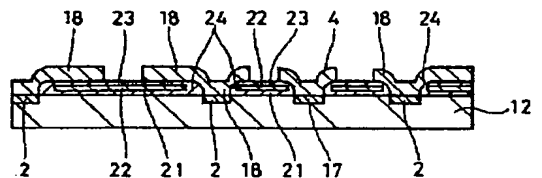
【図6】



(a)

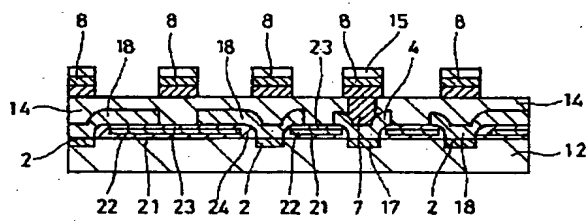


(b)

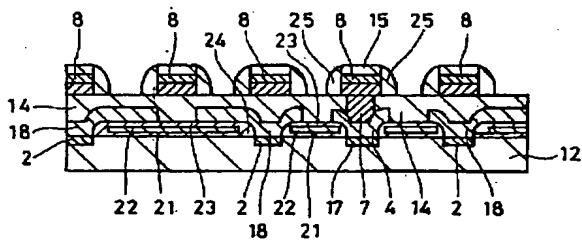


(c)

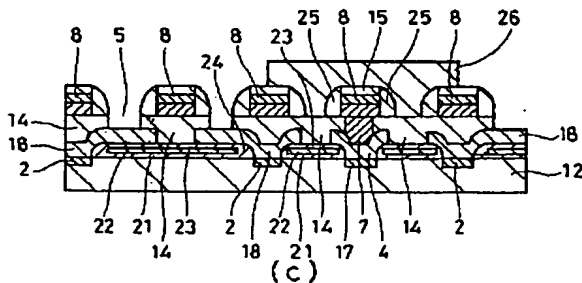
【図7】



(a)

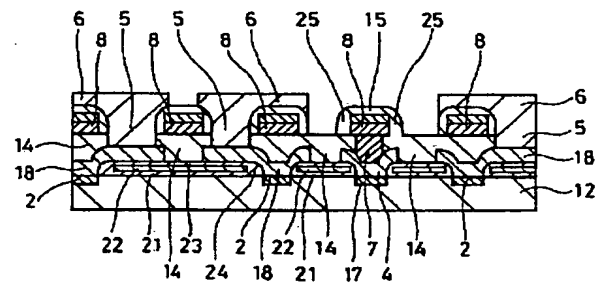


(b)

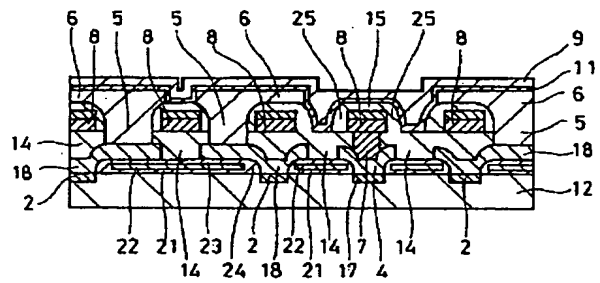


(c)

【図8】

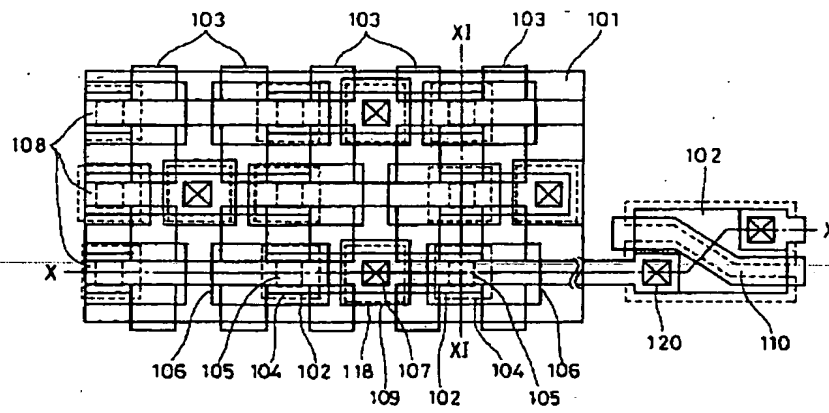


(a)



(b)

【図 9】



【図 10】

